

PATENT ABSTRACTS OF JAPAN

NEC-5082 (X) (C)

(11)Publication number : 04-335300

(43)Date of publication of application : 24.11.1992

(51)Int.Cl.

G11C 29/00

G11C 29/00

(21)Application number : 03-135838

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 10.05.1991

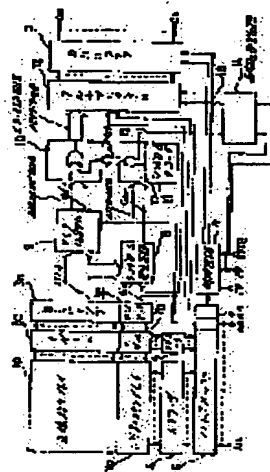
(72)Inventor : KODA KENJI
MAKIHARA HIROYASU

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To find defects of a memory cell and to enable to perform a defect analysis by reading out all memory cell information as is.

CONSTITUTION: Error signals from a syndrome decoder 11 are invalidated by an error correction enable signal 15 from a high voltage detecting circuit 14 and regular memory information is read out by an error correcting circuit 10 without making error correction. Furthermore, a multiplexer 12 selects parity data signals by parity read out enable signal 16 from the high voltage detecting circuit 14 and the information from the parity memory is directly read out.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-335300

(43) 公開日 平成4年(1992)11月24日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 29/00	3 0 2	8320-5L		
	3 0 3 B	8320-5L		

審査請求 未請求 請求項の数 1 (全 5 頁)

(21) 出願番号 特願平3-135838

(22) 出願日 平成3年(1991)5月10日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 香田 憲次

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

(72) 発明者 牧原 浩泰

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

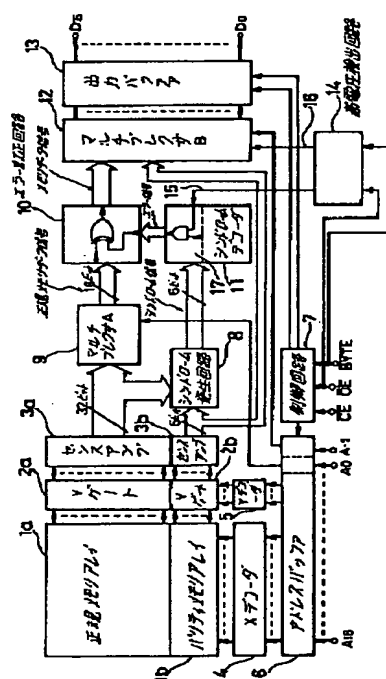
(74) 代理人 弁理士 早瀬 憲一

(54) 【発明の名称】 半導体メモリ装置

(57) 【要約】

【構成】 高電圧検出回路14からのエラー訂正イネーブル信号15によりシンドロームデコーダ11からのエラー信号を無効とし、エラー訂正回路10で正規メモリの情報を誤り訂正せずに読み出す。また、高電圧検出回路14からのパリティ読み出しイネーブル信号16によりマルチプレクサB12でパリティデータ信号を選択し、パリティメモリからの情報を直接読み出す。

【効果】 全てのメモリセルの情報をそのまま読み出すことができるので、メモリセルの欠陥が発見でき、不良解析が可能になる。



1

2

【特許請求の範囲】

【請求項1】 予め情報が書き込まれた正規メモリ領域と誤り訂正用の冗長メモリ領域とを含むメモリアレイと、上記正規メモリの誤った情報を検知し誤り訂正用の信号を出力する誤り検知回路と、上記誤り訂正用の信号を受け上記正規メモリの誤った情報を冗長メモリの情報と置き換える誤り訂正回路とを備え、該回路出力をゲート回路を介して出力する半導体メモリ装置において、上記誤り検知回路の上記誤り訂正用の信号を、上記正規メモリの誤った情報を訂正せずに読み出すよう制御する誤り検知回路制御手段を備え、上記ゲート回路を上記冗長メモリの情報を直接読み出し可能となるように構成したことを特徴とする半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、誤り訂正回路を内蔵した半導体メモリ装置に関し、特に製造工程中に情報を書き込むマスクROMにおいて、誤り訂正前の情報を読み出すためのテストモードを行うことができる半導体メモリ装置に関するものである。

【0002】

【従来の技術】 図3は、例えば従来の誤り訂正回路を備えたマスクROMのブロック図であり、1aは正規のメモリアレイ、1bは誤り訂正用の冗長メモリであるパリティメモリアレイ、2aは正規メモリアレイ1aのビットラインを選択するためのYゲート、2bはパリティメモリアレイ1bのビットラインを選択するためのYゲート、3aは正規メモリアレイ用のセンスアンプ、3bはパリティメモリアレイ用のセンスアンプ、4は各メモリアレイのワードラインを選択するXデコーダ、5はYデコーダ、6はアドレスバッファ、7は制御回路である。8はシンドローム発生回路、11はシンドロームデコーダで、エラー信号、即ち誤り訂正用の信号を発生する誤り検知回路である。9はマルチプレクサAである。10はエラー訂正回路で、上記エラー信号を受けて正規メモリの誤った情報を冗長メモリの情報と置き換える誤り訂正回路である。18はマルチプレクサBで、エラー訂正回路10の出力を受けるゲート回路であり、出力バッファ13に出力する。A₋₁、A₀～A₁₅はアドレス信号、D₀～D₁₅はデータ出力端子、/BYTE、/OE、/CEはそれぞれ制御回路7の制御入力端子である。

【0003】 次に動作について説明する。マスクROMの場合、情報は正規メモリアレイ1a製造工程中に書き込まれるが、誤り訂正用の冗長メモリであるパリティメモリアレイ1bにも誤り訂正用の情報が書き込まれる。図3は1語が16ビットと8ビットの出力の切替可能な4MビットマスクROMの例で、内部では32ビットの正規メモリデータと6ビットのパリティデータで動作している。

【0004】 情報の読み出しはアドレス入力端子より入

力されたアドレス信号をアドレスバッファ6で波形整形、増幅し、Xデコーダ4、Yデコーダ5により、正規メモリアレイ1a及びパリティメモリアレイ1bの指定されたメモリスセルの情報をYゲート2a及び2bを介してセンスアンプ3a及び3bで検出し、その出力である正規のメモリデータ信号とパリティデータ信号をシンドローム発生回路8に入力してシンドローム信号を発生させる。またセンスアンプ3aからの出力の正規のメモリデータ信号32ビットをマルチプレクサA9で半分の16ビット幅にしてエラー訂正回路10に入力する。

【0005】 上記シンドローム信号はシンドロームデコーダ11に入力され、正規メモリデータ16ビットの各ビットに誤りがあるとそれぞれのビットに対応したエラー信号を発生する。エラー訂正回路10では該エラー信号を受けて正規メモリデータを訂正して、16ビットの訂正された信号を出力する。

【0006】 この信号を受けて、出力データ幅16ビットの場合には、データはそのままマルチプレクサB18を介して、出力バッファ13で増幅して出力端子から出力される。出力データ幅8ビットの場合には、データはアドレス信号A₋₁でマルチプレクサされ16ビットを8ビットにして出力し、出力バッファ13で増幅して出力端子から出力される。尚/BYTE信号は“H”入力時には16ビット幅、“L”入力時には8ビット幅で出力するようにする制御信号である。

【0007】

【発明が解決しようとする課題】 従来の半導体メモリ装置の誤り訂正回路を備えたマスクROMは以上のように構成されているので、内部の欠陥が誤り訂正されて出力され、欠陥があってもどのメモリスセルに欠陥があるかわからず、不良解析、評価ができないという問題点があった。

【0008】 この発明は上記のような問題点を解消するためになされたもので、正規メモリアレイの内容と冗長メモリアレイの内容をそのまま読み出して、メモリスセルの欠陥を解析できる半導体メモリ装置を得ることを目的とする。

【0009】

【課題を解決するための手段】 この発明に係る半導体メモリ装置は、誤り検知回路の誤り訂正用の信号を、正規メモリの誤った情報を訂正せずに読み出すよう制御する誤り検知回路制御手段を備え、ゲート回路を上記冗長メモリの情報を直接読み出し可能となるように構成したものである。

【0010】

【作用】 この発明においては、誤り検知回路から出力される誤り訂正用の信号を抑制する誤り検知回路制御手段を設け、正規メモリの情報を誤り訂正せずに読み出すようにし、かつゲート回路を冗長メモリの情報を読み出し可能となるように構成したから、全てのメモリスセルの

情報、即ち正規メモリの情報及び冗長メモリの情報をそのまま読み出すことができ、メモリセルの欠陥を解析できる。

【0011】

【実施例】図1はこの発明の一実施例による半導体メモリ装置のマスクROMのブロック図である。図において図3と同一符号は同一又は相当部分を示し、14は制御入力端子に高電圧が入力されたことを検出する高電圧検出回路である。15はエラー訂正イネーブル信号で、OE入力端子に12V程度の高電圧が入力した時のみ“L”となり、通常は“H”レベルとなる信号であり、高電圧検出回路14から出力され、シンドロームデコーダ11に入力される。17はシンドロームデコーダ11の出力部分であり、エラー信号とエラー訂正イネーブル信号15とを入力とするANDゲート回路となっている。そして上記高電圧検出回路14と該出力部分17とで誤り検知回路制御手段を実現するものとなっている。16はパリティ読み出しイネーブル信号で、BYTE入力端子に12V程度の高電圧を入力した時のみ“H”となり通常は“L”レベルとなる信号であり、高電圧検出回路14から出力され、ゲート回路であるマルチプレクサB12に入力される。またマルチプレクサB12には、エラー訂正回路10からの信号及びセンスアンプ3bから出力されたパリティデータ信号が入力される。

【0012】次に動作について説明する。誤り訂正を行う通常の読み出しは従来と同じであり、省略する。

【0013】次に正規メモリアレイの内容を訂正せずに出力する場合について説明する。正規メモリアレイ1a及びパリティメモリアレイ1bの情報をセンスアンプ3a及び3bで検出、出力し、シンドローム発生回路8でシンドローム信号を発生させ、シンドロームデコーダ11で正規メモリデータ16ビットの各ビットに対応したエラー信号を発生させる。ここでシンドロームデコーダ11の出力部分17は、ANDゲート回路になっており、エラー訂正イネーブル信号15が“H”の時には、シンドロームデコーダ11よりのエラー信号が出力され、エラー訂正回路10で正規メモリデータ信号は訂正されて出力されるが、エラー訂正イネーブル信号15が“L”の時には、シンドロームデコーダ11内部でエラー信号が発生しても、出力部分17のANDゲート回路により全てエラーなしとして信号が出力される。従って正規メモリデータ信号は、エラー訂正回路10を、そのままの状態通過し出力される。これにより誤り訂正なしの正規メモリアレイの情報が読み出せる。

【0014】次に、パリティデータを読み出す場合について説明する。センスアンプ3bから出力されたパリティデータ信号6ビットは、マルチプレクサB12に入力される。パリティ読み出しイネーブル信号16が“H”となりイネーブルになると、マルチプレクサB12でパリティデータ信号を選択して出力し、該パリティデータ

信号がメモリデータ信号D₀～D₁₅の代わりに出力バッファ13より出力される。これによりパリティメモリアレイの情報を読み出すことができる。尚通常、パリティ読み出しイネーブル信号16は“L”で、マルチプレクサB12ではエラー訂正回路10の出力信号を選択するようになっている。

【0015】図2は図1のマルチプレクサB12の詳細等価回路を示した図であり、図中図1と同一符号は同一又は相当部分を示し、図に示すようにマルチプレクサB12にはメモリデータ信号D₀～D₁₅、パリティデータ信号P₀～P₅が入力されている。マルチプレクサB12は、2つのスイッチ群よりなり、スイッチS₁₋₁～S₁₋₈はアドレス信号A₋₁で切替えられ、スイッチS₂₋₁～S₂₋₈はパリティ読み出しイネーブル信号16で切替えられる。OE1はD₀～D₇用の出力バッファイネーブル信号、OE2はD₈～D₁₅用の出力バッファイネーブル信号であり、出力バッファ13に入力される。

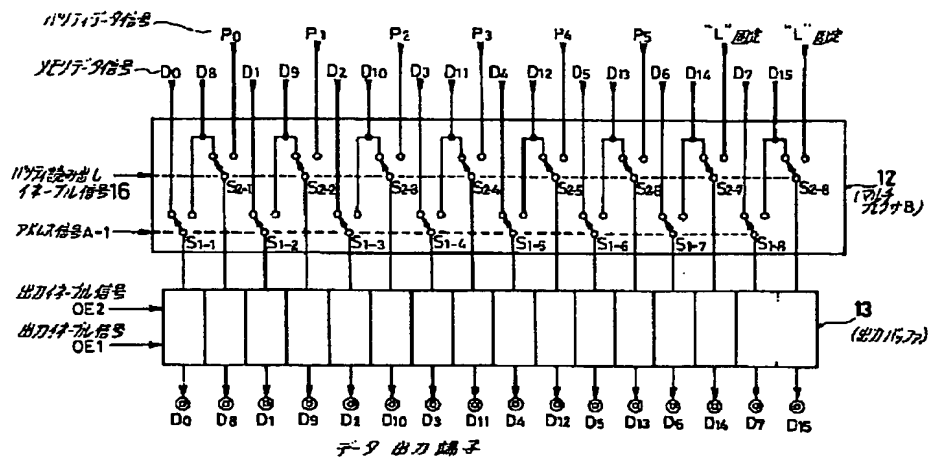
【0016】まずスイッチS₂₋₁～S₂₋₈の切替え動作について説明する。BYTE入力が12Vの時には、パリティ読み出しモードとなり、パリティ読み出しイネーブル信号16が“H”になりスイッチS₂₋₁～S₂₋₈は全て図における右側に接続され、パリティデータ信号P₀～P₅が出力バッファ13のデータ出力端子D₀～D₅から出力される。

【0017】BYTE入力が“L”または“H”の時には、パリティ読み出しイネーブル信号16は“L”になりスイッチS₂₋₁～S₂₋₈は全て図に示すように左側に接続されてメモリデータ信号D₀～D₁₅が出力バッファ13から出力される。

【0018】次にスイッチS₁₋₁～S₁₋₈の切替え動作について説明する。BYTE入力が“H”の時には16ビットのモードになりアドレス信号A₋₁は“L”固定となり、スイッチS₁₋₁～S₁₋₈は全て図に示すように左側に接続され、メモリデータ信号D₀～D₇が出力バッファ13へ接続される。BYTE入力が“L”の時には、8ビットのモードになりアドレス信号A₋₁に応じてスイッチS₁₋₁～S₁₋₈は切替わり、アドレス信号A₋₁が“L”の時はメモリデータ信号D₀～D₇が、“H”の時にはメモリデータ信号D₈～D₁₅が出力バッファ13のデータ出力端子D₀～D₇から出力される。

【0019】このように本実施例では、制御入力端子に入力される信号に基づいて、正規メモリアレイの情報を読み出すためのエラー訂正イネーブル信号15及びパリティメモリの情報を読み出すためのパリティ読み出しイネーブル信号16を出力する高電圧検出回路14を設け、上記エラー訂正イネーブル信号15によりシンドロームデコーダ11から出力されるエラー信号を出力部分17で抑制し、正規メモリの情報を誤り訂正せずに読み出すテストモードと、上記パリティ読み出しイネーブル信号16によりゲート回路であるマルチプレクサB12

【図2】



【図3】

